
SEMICONDUCTOR THIN FILM, SEMICONDUCTOR ELEMENT, SEMICONDUCTOR DEVICE, AND MANUFACTURE THEREOF

Publication Number: 2000-164929 (JP 2000164929 A) , June 16, 2000

Inventors:

- TOMITANI SHIGETAKA
- FUNATO KENJI

Applicants

- SONY CORP

Application Number: 10-336307 (JP 98336307) , November 26, 1998

International Class:

- H01L-033/00
- H01S-005/343

Abstract:

PROBLEM TO BE SOLVED: To enable reduction of a threading dislocation density and suppression of deviation in a crystal orientation. SOLUTION: A plurality of facets 1 are arranged to cover an underlying semiconductor layer 2 and to form a selective-growth embedded semiconductor layer 3. A threading dislocation in the semiconductor layer 3 is flexedly extended in a direction, extending substantially along the arranged surface of the layer 2, so that the threading dislocations of the adjacent facets 1 meet and flex in a direction intersecting with the arrangement surface, thus forming a low defect density region and suppressing a deviation in crystal orientation.

COPYRIGHT: (C)2000,JPO

JAPIO

© 2004 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 6579138

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-164929

(P2000-164929A)

(43)公開日 平成12年6月16日(2000.6.16)

(51)Int.Cl.⁷

H 01 L 33/00

H 01 S 5/343

識別記号

F I

テーマコード(参考)

H 01 L 33/00

C 5 F 0 4 1

H 01 S 3/18

6 7 7 5 F 0 7 3

審査請求 未請求 請求項の数70 O.L (全 20 頁)

(21)出願番号

特願平10-336307

(22)出願日

平成10年11月26日(1998.11.26)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 富谷 茂隆

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72)発明者 船戸 健次

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(74)代理人 100080883

弁理士 松隈 秀盛

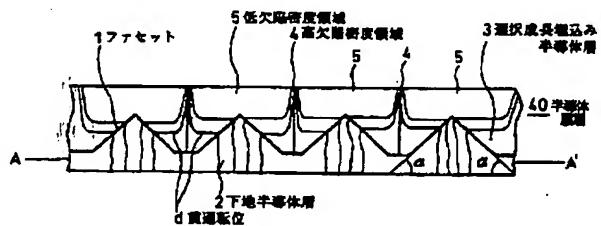
最終頁に続く

(54)【発明の名称】 半導体薄膜と半導体素子と半導体装置とこれらの製造方法

(57)【要約】

【課題】 貫通転位の密度を低減すると共に、結晶方位のずれを抑制することができるようとする。

【解決手段】 複数のファセット1が配列され下地半導体層2を覆って選択成長埋込み半導体層3を形成し、選択成長埋込み半導体層3中の貫通転位が、下地半導体層2の配置面にほぼ沿う方向に屈曲伸長し、相対するファセット1からの貫通転位が会合して前記配置面と交叉する方向に屈曲する構成として低欠陥密度領域を形成し、かつ結晶方位のずれを抑制する。



【特許請求の範囲】

【請求項1】 複数のファセットが配列された下地半導体層と、該下地半導体層を覆う選択成長埋込み半導体層とを有し、前記ファセットは、前記下地半導体層の配置面に対して傾斜する面によって形成されたことを特徴とする半導体薄膜。

【請求項2】 前記選択成長埋込み半導体層中の貫通転位が、前記下地半導体層のファセットから前記下地半導体層の前記配置面にほぼ沿う方向に屈曲伸長し、相対するファセットからの貫通転位と会合して、前記配置面と交叉する方向に屈曲伸長して形成されたことを特徴とする請求項1に記載の半導体薄膜。

【請求項3】 前記下地半導体層と、前記選択成長埋込み半導体層との結晶方位のずれが0.1°以下であることを特徴とする請求項1に記載の半導体薄膜。

【請求項4】 基板上に、前記下地半導体層と、前記選択成長埋込み半導体層とを介して、ガリウム(Ga)、アルミニウム(Al)、ホウ素(B)およびインジウム(In)からなる群のうち少なくとも1種のI₁I₁I族元素と窒素(N)とを含むI₁I₁I族ナイトライド化合物半導体層が形成されて成ることを特徴とする請求項1記載の半導体薄膜。

【請求項5】 前記選択成長埋込み半導体層が、ガリウムと窒素とを含むI₁I₁I族ナイトライド化合物半導体よりなることを特徴とする請求項4に記載の半導体薄膜。

【請求項6】 前記基板が、サファイアよりもなることを特徴とする請求項4に記載の半導体薄膜。

【請求項7】 前記基板が、炭化珪素(SiC)よりもなることを特徴とする請求項4に記載の半導体薄膜。

【請求項8】 前記基板が、単結晶のガリウムナイトライドよりもなることを特徴とする請求項4に記載の半導体薄膜。

【請求項9】 前記下地半導体層が、前記基板上に直接形成されて成ることを特徴とする請求項8に記載の半導体薄膜。

【請求項10】 基板上に、複数のファセットが配列された下地半導体層を形成する工程と、該下地半導体層を覆う選択成長埋込み半導体層を成長させる成長工程とを有し、前記ファセットは、前記下地半導体層の配置面に対して傾斜する面に形成することを特徴とする半導体薄膜の製造方法。

【請求項11】 前記選択成長埋込み半導体層の成長は、前記下地半導体層のファセットから前記下地半導体層の前記配置面にほぼ沿う方向に成長する過程を経て成長させて該選択成長埋込み半導体層の貫通転位が前記下地半導体層のファセットから前記下地半導体層の前記配置面にほぼ沿う方向に屈曲伸長し、相対するファセットからの貫通転位と会合して、前記配置面と交叉する方向

に屈曲伸長して形成されることを特徴とする請求項10に記載の半導体薄膜の製造方法。

【請求項12】 前記下地半導体層と前記選択成長埋込み半導体層との結晶方位のずれが0.1°以下であるようにしたことを特徴とする請求項10に記載の半導体薄膜の製造方法。

【請求項13】 前記下地半導体層の形成工程が、マスクを用いた反応性イオンエッチングによることを特徴とする請求項10記載の半導体薄膜の製造方法。

【請求項14】 前記下地半導体層の形成工程が、2酸化ケイ素、または窒化ケイ素、あるいは酸化アルミニウムをマスクとした、反応性イオンエッチングによることを特徴とする請求項10記載の半導体薄膜の製造方法。

【請求項15】 前記選択成長埋込み半導体層上に、ガリウム(Ga)、アルミニウム(Al)、ホウ素(B)およびインジウム(In)からなる群のうち少なくとも1種のI₁I₁I族元素と窒素(N)とを含むI₁I₁I族ナイトライド化合物半導体層を成長する工程を有することを特徴とする請求項10記載の半導体薄膜。

【請求項16】 前記選択成長埋込み半導体層を、ガリウム(Ga)と窒素(N)とを含むI₁I₁I族ナイトライド化合物半導体によって形成することを特徴とする請求項10に記載の半導体薄膜の製造方法。

【請求項17】 前記選択成長埋込み半導体層を気相成長法によって成膜することを特徴とする請求項10に記載の半導体薄膜の製造方法。

【請求項18】 前記基板が、サファイアによることを特徴とする請求項10に記載の半導体薄膜の製造方法。

【請求項19】 前記基板が、炭化珪素(SiC)によることを特徴とする請求項10に記載の半導体薄膜の製造方法。

【請求項20】 前記基板が、単結晶のガリウムナイトライドによることを特徴とする請求項10の記載の半導体薄膜の製造方法。

【請求項21】 前記下地半導体層が、前記基板に直接形成されたことを特徴とする請求項10の記載の半導体薄膜の製造方法。

【請求項22】 基板上に、選択成長によって複数のファセットが配列された下地半導体層を形成する工程と、該下地半導体層を覆う選択成長埋込み半導体層を成長させる成長工程とを有し、前記ファセットは、前記下地半導体層の配置面に対して傾斜する面に形成することを特徴とする半導体薄膜の製造方法。

【請求項23】 前記選択成長埋込み半導体層の成長は、前記下地半導体層のファセットから前記下地半導体層の前記配置面にほぼ沿う方向に成長する過程を経て成長させて該選択成長埋込み半導体層の貫通転位が前記下地半導体層のファセットから前記下地半導体層の前記配置面にほぼ沿う方向に屈曲伸長し、相対するファセット

からの貫通転位と会合して、前記配置面と交叉する方向に屈曲伸長して形成されることを特徴とする請求項22に記載の半導体薄膜の製造方法。

【請求項24】 前記下地半導体層と前記選択成長埋込み半導体層との結晶方位のずれが0.1°以下であるようにしたことを特徴とする請求項22に記載の半導体薄膜の製造方法。

【請求項25】 前記選択成長によって複数のファセットが配列された下地半導体層を形成する工程が、マスクを用いた選択成長工程を有することを特徴とする請求項22に記載の半導体薄膜の製造方法。

【請求項26】 前記選択成長によって複数のファセットが配列された下地半導体層を形成する工程が、2酸化ケイ素もしくは窒化ケイ素もしくは酸化アルミニウムをマスクを用いて形成する工程であることを特徴とする請求項22に記載の半導体薄膜の製造方法。

【請求項27】 前記選択成長埋込み半導体層上に、ガリウム(Ga)、アルミニウム(Al)、ホウ素(B)およびインジウム(In)からなる群のうち少なくとも1種のIII族元素と窒素(N)とを含むIII族ナイトライド化合物半導体層を成長する工程を有することを特徴とする請求項22記載の半導体薄膜の製造方法。

【請求項28】 前記選択成長埋込み半導体層を、ガリウム(Ga)と窒素(N)とを含むIII族ナイトライド化合物半導体によって形成することを特徴とする請求項22に記載の半導体薄膜の製造方法。

【請求項29】 前記選択成長埋込み半導体層を気相成長法によって成膜することを特徴とする請求項22に記載の半導体薄膜の製造方法。

【請求項30】 前記基板が、サファイアによることを特徴とする請求項22に記載の半導体薄膜の製造方法。

【請求項31】 前記基板が、炭化珪素(SiC)によることを特徴とする請求項22に記載の半導体薄膜の製造方法。

【請求項32】 前記基板が、単結晶のガリウムナイトライドによることを特徴とする請求項22の記載の半導体薄膜の製造方法。

【請求項33】 前記下地半導体層が、前記基板に直接形成されたことを特徴とする請求項22の記載の半導体薄膜の製造方法。

【請求項34】 複数のファセットが配列された下地半導体層と、該下地半導体層を覆う選択成長埋込み半導体層とを有する半導体薄膜上に形成された半導体素子本体とを有し、

前記ファセットは、前記下地半導体層の配置面に対して傾斜する面によって形成されたことを特徴とする半導体素子。

【請求項35】 前記選択成長埋込み半導体層中の貫通転位が、前記下地半導体層のファセットから前記下地半導体層の前記配置面にほぼ沿う方向に屈曲伸長し、相対

するファセットからの貫通転位と会合して、前記配置面と交叉する方向に屈曲伸長して形成されたことを特徴とする請求項34に記載の半導体素子。

【請求項36】 前記下地半導体層と、前記選択成長埋込み半導体層との結晶方位のずれが0.1°以下であることを特徴とする請求項34に記載の半導体素子。

【請求項37】 基板上に、前記下地半導体層と、前記選択成長埋込み半導体層とを介して、ガリウム(Ga)、アルミニウム(Al)、ホウ素(B)およびインジウム(In)からなる群のうち少なくとも1種のIII族元素と窒素(N)とを含むIII族ナイトライド化合物半導体層が形成されて成ることを特徴とする請求項34記載の半導体素子。

【請求項38】 前記選択成長埋込み半導体層が、ガリウムと窒素とを含むIII族ナイトライド化合物半導体よりなることを特徴とする請求項37に記載の半導体素子。

【請求項39】 前記基板が、サファイアよりなることを特徴とする請求項37に記載の半導体素子。

【請求項40】 前記基板が、炭化珪素(SiC)よりなることを特徴とする請求項37に記載の半導体素子。

【請求項41】 前記基板が、単結晶のガリウムナイトライドよりなることを特徴とする請求項37に記載の半導体素子。

【請求項42】 前記下地半導体層が、前記基板上に直接形成されて成ることを特徴とする請求項37に記載の半導体素子。

【請求項43】 基板上に、複数のファセットが配列された下地半導体層を形成する工程と、

該下地半導体層を覆う選択成長埋込み半導体層を成長させる成長工程と、
半導体素子本体を形成する工程とを有し、
前記ファセットは、前記下地半導体層の配置面に対して傾斜する面に形成することを特徴とする半導体素子の製造方法。

【請求項44】 前記選択成長埋込み半導体層の成長は、前記下地半導体層のファセットから前記下地半導体層の前記配置面にほぼ沿う方向に成長する過程を経て成長させて該選択成長埋込み半導体層の貫通転位が前記下地半導体層のファセットから前記下地半導体層の前記配置面にほぼ沿う方向に屈曲伸長し、相対するファセットからの貫通転位と会合して、前記配置面と交叉する方向に屈曲伸長して形成されることを特徴とする請求項43に記載の半導体薄膜の製造方法。

【請求項45】 前記下地半導体層と前記選択成長埋込み半導体層との結晶方位のずれが0.1°以下であるようにしたことを特徴とする請求項43に記載の半導体素子の製造方法。

【請求項46】 前記下地半導体層の形成工程が、マスクを用いた反応性イオンエッチングによることを特徴と

する請求項43記載の半導体素子の製造方法。

【請求項47】 前記下地半導体層の形成工程が、二酸化ケイ素、または窒化ケイ素、あるいは酸化アルミニウムをマスクとした、反応性イオンエッティングによることを特徴とする請求項43記載の半導体素子の製造方法。

【請求項48】 前記選択成長埋込み半導体層上に、ガリウム(Ga)、アルミニウム(Al)、ホウ素(B)およびインジウム(In)からなる群のうち少なくとも1種のIII族元素と窒素(N)とを含むIII族ナイトライド化合物半導体層を成長する工程を有することを特徴とする請求項43記載の半導体素子の製造方法。

【請求項49】 前記選択成長埋込み半導体層を、ガリウム(Ga)と窒素(N)とを含むIII族ナイトライド化合物半導体によって形成することを特徴とする請求項44に記載の半導体素子の製造方法。

【請求項50】 前記選択成長埋込み半導体層を気相成長法によって成膜することを特徴とする請求項43に記載の半導体素子の製造方法。

【請求項51】 前記基板が、サファイアによることを特徴とする請求項44に記載の半導体素子の製造方法。

【請求項52】 前記基板が、炭化珪素(SiC)によることを特徴とする請求項43に記載の半導体素子の製造方法。

【請求項53】 前記基板が、単結晶のガリウムナイトライドによることを特徴とする請求項43の記載の半導体素子の製造方法。

【請求項54】 前記下地半導体層が、前記基板に直接形成されたことを特徴とする請求項43の記載の半導体素子の製造方法。

【請求項55】 基板上に、選択成長によって複数のファセットが配列された下地半導体層を形成する工程と、該下地半導体層を覆う選択成長埋込み半導体層を成長させる成長工程とを有する半導体薄膜の製造工程と、前記半導体薄膜に半導体素子本体を形成する工程とを有し、

前記ファセットは、前記下地半導体層の配置面に対して傾斜する面に形成することを特徴とする半導体素子の製造方法。

【請求項56】 前記選択成長埋込み半導体層の成長は、前記下地半導体層のファセットから前記下地半導体層の前記配置面にほぼ沿う方向に成長する過程を経て成長させて該選択成長埋込み半導体層の貫通転位が前記下地半導体層のファセットから前記下地半導体層の前記配置面にほぼ沿う方向に屈曲伸長し、相対するファセットからの貫通転位と会合して、前記配置面と交叉する方向に屈曲伸長して形成されることを特徴とする請求項55に記載の半導体素子の製造方法。

【請求項57】 前記下地半導体層と前記選択成長埋込み半導体層との結晶方位のずれが0.1°以下であるようにしたことを特徴とする請求項55に記載の半導体素

子の製造方法。

【請求項58】 前記選択成長によって複数のファセットが配列された下地半導体層を形成する工程が、マスクを用いた選択成長工程を有することを特徴とする請求項55に記載の半導体素子の製造方法。

【請求項59】 前記選択成長によって複数のファセットが配列された下地半導体層を形成する工程が、2酸化ケイ素もしくは窒化ケイ素もしくは酸化アルミニウムをマスクを用いて形成する工程であることを特徴とする請求項55に記載の半導体素子の製造方法。

【請求項60】 前記選択成長埋込み半導体層上に、ガリウム(Ga)、アルミニウム(Al)、ホウ素(B)およびインジウム(In)からなる群のうち少なくとも1種のIII族元素と窒素(N)とを含むIII族ナイトライド化合物半導体層を成長する工程を有することを特徴とする請求項55記載の半導体素子の製造方法。

【請求項61】 前記選択成長埋込み半導体層を、ガリウム(Ga)と窒素(N)とを含むIII族ナイトライド化合物半導体によって形成することを特徴とする請求項55に記載の半導体素子の製造方法。

【請求項62】 前記選択成長埋込み半導体層を気相成長法によって成膜することを特徴とする請求項55に記載の半導体素子の製造方法。

【請求項63】 前記基板が、サファイアによることを特徴とする請求項55に記載の半導体素子の製造方法。

【請求項64】 前記基板が、炭化珪素(SiC)によることを特徴とする請求項55に記載の半導体素子の製造方法。

【請求項65】 前記基板が、単結晶のガリウムナイトライドによることを特徴とする請求項55の記載の半導体素子の製造方法。

【請求項66】 前記下地半導体層が、前記基板に直接形成されたことを特徴とする請求項55の記載の半導体素子の製造方法。

【請求項67】 複数のファセットが配列された下地半導体層と、該下地半導体層を覆う選択成長埋込み半導体層とを有する半導体薄膜上に形成された半導体素子本体とが形成された半導体素子を有し、前記ファセットは、前記下地半導体層の配置面に対して傾斜する面によって形成されたことを特徴とする半導体装置。

【請求項68】 前記選択成長埋込み半導体層中の貫通転位が、前記下地半導体層のファセットから前記下地半導体層の前記配置面にほぼ沿う方向に屈曲伸長し、相対するファセットからの貫通転位と会合して、前記配置面と交叉する方向に屈曲伸長して形成されたことを特徴とする請求項67に記載の半導体装置。

【請求項69】 基板上に、複数のファセットが配列された下地半導体層を形成する工程と、該下地半導体層を覆う選択成長埋込み半導体層を成長させる成長工程とを有する半導体薄膜の製造工程と、

前記半導体薄膜に半導体素子本体を形成する工程とによる半導体素子の形成工程とを有し、

前記ファセットは、前記下地半導体層の配置面に対して傾斜する面に形成することを特徴とする半導体装置の製造方法。

【請求項70】 基板上に、選択成長によって複数のファセットが配列された下地半導体層を形成する工程と、該下地半導体層を覆う選択成長埋込み半導体層を成長させる成長工程とを有する半導体薄膜の製造工程と、

前記半導体薄膜に半導体素子本体を形成する工程とによる半導体素子の形成工程とを有し、

前記ファセットは、前記下地半導体層の配置面に対して傾斜する面に形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えばIII族ナイトライド化合物半導体による半導体薄膜と半導体素子と半導体装置とこれらの製造方法に係わる。

【0002】

【従来の技術】 近年、AlGaInNなどのIII族ナイトライド化合物半導体を用い、可視領域から紫外領域までの発光を得ることができる半導体レーザや発光ダイオード (Light Emitting Diode ; LED) などの半導体発光デバイスの開発が活発に行われている。その中でも、特に、光記録の分野では、光ディスクなどの記録密度を向上させるために、短波長域の光が得られる半導体レーザの実用化が求められている。

【0003】 最近では、AlGaInN系半導体レーザにおいて、サファイアよりなる基板上に、ガリウムナイトライド (GaN) よりなるバッファ層を介してIII族ナイトライド化合物半導体よりなる半導体層を有機金属気相成長 (Metal OrganicChemical Vapor Deposition ; MOCVD) 法により成長させることにより、室温における300時間の連続発振が達成されている (Jpn. J. Appl. Phys. 35L74(1996) ; 同誌36L1059(1997))。

【0004】 しかし、使用による動電圧の経過曲線を見てみると、通電の初期から緩やかな上昇が見られ、徐々に劣化が進行していることが分かる。この劣化の原因としては、基板の上に形成したIII族ナイトライド化合物半導体より成る層が、 $1 \times 10^6 \sim 1 \times 10^9$ 個/ cm^2 程度の貫通転位（転位欠陥が伝搬されて結晶中を突きぬける転位）を有していることが考えられる。したがって、1万時間以上の実用的寿命を実現するためには、この貫通転位の密度を低減することが必要であり、種々の検討がなされている。

【0005】 例え、その一つには、サファイア基板の上にバッファ層を介してGaN層を形成し、その上に1~4 μm幅の帯状の2酸化ケイ素 (SiO₂) よりなるマスクを、7 μmのピッチで形成した周期構造のマスク

層を積層すると共に、このマスク層の上にハライド気相成長法や、MOCVD法によりGaN層を横方向に選択的に成長させる方法が提案されている (Jpn. J. Appl. Phys. 36 L899(1997), J. Appl. Phys. 71, 2638(1997))。このように、周期構造のマスク層間の開口部を通じて露出するGaN層からGaNを選択成長させることによってマスク層上に差し渡ってGaN半導体層を横方向に育成する方法による場合、SiO₂マスク層上におけるGaN層の貫通転位の密度は、 1×10^7 個/ cm^2 程度にまで低減できる。

【0006】 そして、この方法を用いて用意した基板上の、AlGaInN系半導体レーザ素子を製作させることにより、1150時間以上の実用的寿命を実現させることができになってきている (Journal of Crystal Growth, vol. 189-190 p. 820-5(1998))。

【0007】

【発明が解決しようとする課題】 ところで、上述したマスク層を用いた選択成長法によって形成した半導体層は、マスク層上と、その開口部とでは、c軸結晶方位に約0.4°~0.5°程度のずれが生じることが、本発明者らの解析等によって明らかになった。

【0008】 そして、このように結晶方位にずれを有する半導体層上に、素子を作製する場合、素子活性領域に結晶面のずれが内包することになり、素子の種々の特性、例えば半導体レーザにおいては、発光効率の低下、寿命の低下等の特性上不都合となる。

【0009】 すなわち、上述したように、GaN系半導体の成長用基板としては、例えばサファイア基板やSiC基板が使用されているが、これらの基板は、この上に成長させるGaN系半導体と格子定数や熱膨張係数が大きく異なるため、これらの基板上にGaN系半導体を成長させると、この成長層に転位などの欠陥が発生し、良質の単結晶のGaN系半導体を成長させることが困難である。

【0010】 そこで、前述したように、高密度に貫通転位が含有するGaN層をバッファ層を介してサファイア基板あるいはSiC基板上に形成し、この上に、帯状のSiO₂によるマスク層を所要の間隔をもって形成した後に、この帯状マスク層間の開口部を通じてGaN層を選択成長させ、その横方向成長によって、マスク層上にGaN半導体層を、欠陥密度に低い半導体層として形成するものであるが、この試料を電子線回折やX線回折等の手法によって解析した結果、マスク層の上方と開口部では、c軸結晶方位に約0.4°~0.5°程度、結晶方位にずれが生じることが究明された。

【0011】 このように、c軸結晶方位にずれが生じるのは、GaNがSiO₂マスク上を横方向成長する際に、SiO₂マスク層上では、開口部に比べ結晶成長の方向にずれが生じるためである。

【0012】 そして、本発明者らの透過電子顕微鏡法、

あるいはX線回折法等の構造解析により、この結晶成長方向にずれが生じることにより、結晶欠陥が導入される場合とされない場合とがあることが明らかとなった。前者の場合、帯状SiO₂マスクの方位は、<11-20>方向で、後者の場合、<1-100>方向に設定した場合である。しかし、いずれの場合も、結晶成長方位にずれが生じるのは、主にマスク材であるSiO₂と、GaNの熱膨張係数の差に起因する。したがって、その横方向成長において、SiO₂マスク層が存在しなければ良いことになる。

【0013】しかしながら、このSiO₂マスク層は、基板側から貫通する転位を除去する作用を得るものであることから、このマスク層の排除は、欠陥密度の低減化が図れないことになるという矛盾を有する。

【0014】これに対し、本発明者らは、鋭意、研究、解析、考察を重ねた結果、貫通転位の密度の低減化を図り、しかも結晶方位のずれの発生を抑制することができるようとした半導体薄膜と半導体素子とこれらの製造方法を見出すに至った。

【0015】

【課題を解決するための手段】すなわち、本発明者らは、上述した横方向成長において、その成長に伴って生じる成長ファセットによって貫通転位が屈曲するが、この屈曲は、成長ファセットによる以外に、人為的に形成したファセット面においても貫通転位を屈曲させることができることを究明し、これに基いて特定領域において、貫通転位の密度が低減化され、しかも結晶方位のずれの発生を抑制することができた半導体薄膜と半導体素子と半導体装置とこれらの製造方法を見出すに至った。

【0016】本発明による半導体薄膜は、複数のファセットが配列された下地半導体層と、この下地半導体層を覆う選択成長埋込み半導体層とを有して成る。下地半導体層のファセットは、この下地半導体層の配置面に対して傾斜する面によって形成される。

【0017】また、本発明による半導体素子は、複数のファセットが配列された下地半導体層と、この下地半導体層を覆う選択成長埋込み半導体層とを有する半導体薄膜上、すなわち選択成長埋込み半導体層自体にあるいはこの上に半導体層を形成することによって半導体素子を形成するものであり、そのファセットが、下地半導体層の配置面に対して傾斜する面によって形成される。

【0018】また、本発明による半導体装置は、上述した半導体素子を形成することによって構成した単体半導体装置あるいは半導体集積回路構成による。

【0019】上述の半導体薄膜、半導体素子および半導体装置の製造方法は、基板上に、複数のファセットが配列された下地半導体層を形成する工程と、この下地半導体層を覆う選択成長埋込み半導体層を成長させる成長工程とを有し、ファセットは、下地半導体層の配置面に対して傾いた傾斜面として形成される。

【0020】この本発明製造方法による第1の製造方法は、ファセットが配列された下地半導体層のファセットの形成を、いわば人為的加工によって形成して、下地半導体層上に選択成長埋込み半導体層のエピタキシャル成長を行う。

【0021】また、本発明製造方法の第2の製造方法は、基板上の下地半導体層の形成面に、マスクを形成し、選択成長いわゆるELO (Epitaxy Laterally Over growth)によってファセットを有する下地半導体層を形成し、マスクを除去して選択成長埋込み半導体層のエピタキシャル成長を行う。

【0022】上述したように、本発明による半導体薄膜、半導体素子、半導体装置およびこれらの製造方法においては、下地半導体層のファセットすなわち斜面から、選択成長させた選択成長埋込み半導体層を形成するものであって、この構成によるとき、この選択成長埋込み半導体層に生じる貫通転位が、ファセットから横向、すなわち下地半導体層の配置面にほぼ沿う方向に屈曲伸長し、相対するファセットからの貫通転位と会合して、下地半導体層の配置面と交叉する方向に屈曲伸長して生じることの究明に基づくものであり、この構成による選択成長埋込み半導体層における上述した貫通転位の会合部分以外において、貫通転位が殆ど存在しない貫通転位の低欠陥密度領域を形成するものである。

【0023】また、本発明では、SiO₂等のマスクが埋め込まれた構成を回避したことによって、前述した結晶方位のずれ、c軸結晶方位のずれの発生も回避されるものである。

【0024】そして、本発明による半導体素子や半導体装置は、選択成長埋込み半導体層自体にあるいはこの上に形成した半導体層の低欠陥密度領域に半導体素子の活性領域（動作領域）を構成することによって特性にすぐれた各種半導体素子を構成することができるものである。

【0025】尚、本発明におけるファセットの斜面は、傾いた一平面をなす場合はもとより、その形成方法によっては、主たる面が上述した角度αを有する斜面であつてその一部あるいは全般にわたって幾分湾曲した面となる場合を有する。

【0026】

【発明の実施の形態】本発明による半導体薄膜の一形態は、図1にその一例の概略断面図を示すように、複数のファセット1が配列された例えばGaとN（窒素）とを含むIII族ナイトライド化合物半導体による下地半導体層2と、この下地半導体層2を覆う例えは同様に、GaとNとを含むIII族ナイトライド化合物半導体による選択成長埋込み半導体層とを有し、そのファセット1が、下地半導体層2の配置面Aに対して傾斜する面によって形成された構成を有する。

【0027】この選択成長埋込み半導体層3中の細線で

示す貫通軸位 d は、下地半導体層 2 のファセット 1 から、下地半導体層 2 の配置面にほぼ沿う方向に伸長し、相対するファセットからの貫通軸位と会合して、配置面と交叉する方向、すなわちほぼ垂直方向に伸長して形成される。

【0028】これによって、下地半導体層 2 上を覆って形成された選択成長埋込み半導体層 3 には、貫通軸位 d の会合部においては、貫通軸位密度が大なる高欠陥密度領域 4 が形成されるが、これ以外においては、貫通軸位の発生が回避された低欠陥密度領域 5 が形成される。

【0029】また、本発明による半導体薄膜の他の一形態は、図 2 にその一例の概略断面図を示すように、例えば C 面サファイア、あるいは SiC よりなる基板 6 を有し、その 1 主面 6 a 上に、バッファ層 7 を介して、ファセット 1 が配列された下地半導体層 2 が形成された構成とする。

【0030】更に、また、本発明による半導体薄膜の他の一形態は、図 3 にその一例の概略断面図を示すように、例えば C 面サファイア、あるいは SiC よりなる基板 6 を有し、その 1 主面 6 a 上に、バッファ層 7 を介して、下地層 1 2 を形成し、この上にファセット 1 が配列された下地半導体層 2 が形成された構成とする。

【0031】更に、また、本発明による半導体薄膜の更に他の一形態は、図 4 にその一例の概略断面図を示すように、単結晶の III 族ナイトライドよりなる基板 6 を有し、その 1 主面 6 a 上に、直接ファセット 1 が配列された III 族ナイトライドよりなる下地半導体層 2 が形成された構成とする。

【0032】また、本発明による半導体薄膜の更に他の形態は、図 5 ~ 図 8 にそれぞれ示すように、図 1 ~ 図 4 で示した構成において、その各選択成長埋込み半導体層 3 上にガリウム (Ga) 、アルミニウム (Al) 、ホウ素 (B) およびインジウム (In) からなる群のうち少なくとも 1 種の III 族元素と窒素 (N) とを含む III 族ナイトライド化合物半導体層 8 がエピタキシャル成長された構成とする。この場合、化合物半導体層 8 においても、下層の選択成長埋込み半導体層 3 の貫通軸位が延長して生じるが、この化合物半導体層 8 においても、高欠陥密度領域 4 と、これ以外における貫通軸位が回避された低欠陥密度領域 5 が形成される。

【0033】本発明による半導体素子の実施形態は、例えば図 1 ~ 図 4 で示した半導体薄膜の選択成長埋込み半導体層の、低欠陥密度領域 5 に半導体素子の少なくとも活性領域、すなわち結晶欠陥によって影響を受ける動作領域を形成した構成とする。

【0034】また、本発明による半導体素子の他の実施形態は、例えば図 4 ~ 図 8 で示した半導体薄膜の化合物半導体層 8 の低欠陥密度領域 5 に半導体素子の少なくとも活性領域、すなわち結晶欠陥によって影響を受ける動作領域を形成した構成とする。

【0035】尚、図 2 ~ 図 8 において、図 1 と対応する部分には同一符号を付して重複説明を省略する。

【0036】上述した各構成による半導体薄膜は、その下地半導体層 2 と、選択成長埋込み半導体層 3 とは、また下地半導体層 2 と選択成長埋込み半導体層 3 上のエピタキシャル成長した化合物半導体層 8 との結晶方位のずれ、すなわち c 軸のずれは 1° 以内にとどめられる。

【0037】次に、本発明による半導体薄膜の製造方法の一実施形態を図 9 および図 10 を参照して説明する。

図 9 A に示すように、例えば C 面のサファイアより成る基板 6 を用意し、その C 面による 1 主面 6 a 上に、厚さ例えば 30 nm の GaN よりなるバッファ層 7 を、例えば MOCVD 法により気相成長する。この MOCVD は、例えば、基板温度を 520°C とし、原料ガスにはトリメチルガリウムガス ((CH₃)₃ Ga) とアンモニアガス (NH₃) を用いる。

【0038】次いで、このバッファ層 7 上に、同様に、例えば MOCVD 法により、GaN よりなる下地層 2 を例えば厚さ 2 μm に成膜する。このとき基板温度は例えば 1050°C とする。なお、この下地半導体層 2 には図中細線で模式的に示す貫通軸位 d が、例えば 1 × 10⁹ / cm² の高い密度に存在する。

【0039】続いて、図 9 B に示すように、下地半導体層 2 上に、マスク 9 が形成される。このマスク 9 は、例えば下地半導体層 2 上に全面的に、基板温度例えば 450°C で CVD 法によって例えば誘電体の SiO₂ 層を形成し、この SiO₂ 層を、フォトリソグラフィによってパターンエッチングして形成する。すなわち、SiO₂ 層上に、フォトレジスト層を塗布し、これに所要のパターンの露光および現像を行い、複数のストライプ部を所要の間隔に形成する。このフォトレジストをマスクとして、SiO₂ 層をエッチングすることによって、ストライプ状の開口 9 w が形成されたマスク 9 を形成する。このマスク 9 は、そのストライプは、例えば <110> 方向 (図 9 において紙面と直交する方向) に延長して形成され、<1120> 方向に所要の間隔をもって配列された構成と/or ことができる。

【0040】その後、例えばアセトン (CH₃COCH₃) とメタノール (CH₃OH) による洗浄を行い、更に、希釈した塩酸 (HCl) または希釈したフッ酸 (HF) に例えば 10 秒間浸漬した後、純水により洗浄する。

【0041】続いて、反応性イオンエッチング (RIE) によってマスク 9 の開口部 9 w 内を選択的にエッチングする。このとき、SiO₂ 層によるマスク層 9 も多少エッチングされることによって、図 9 C に示すように、開口 9 w の幅が広げられるとともに、下地半導体層 2 に対してもエッチングがなされて断面例えはほぼ V 字状の溝 10 が形成される。更に、このエッチングを続けることにより、更に溝 10 が深くかつ広がることによ

つて図10Aに示すように、マスク9が排除され、隣り合う溝10の上端が相互に連通し、断面3角形のストライプ11が平行配列されて、その各両側に所要の角度をもって互いに逆向きの傾きを有するファセット1が配列形成される。溝10を形成するRIEは、例えば平行平板型RIE装置を用いて、BCl₃とN₂とを用いて、15Wのパワーで、20mTorrの条件で行うことができる。このようなRIEを行うことによって、<1-100>方向に延長するストライプ11の両側面にそれぞれ基板面に対してすなわち下地半導体層2に対して45°傾いて形成されたファセット1が配列形成される。

【0042】その後、各半導体層が積層された基板6をフッ酸(HF)に十分に浸し、表面に残存するSiO₂被膜を十分に除去した後、さらに純水により洗浄を行う。

【0043】このようにして清浄化され、ファセット1が配列形成された下地半導体層2上に、例えばMOCVD法により、高品質なGaNをエピタキシャル成長する。このとき、この成長は、ファセット1から横方向にすなわち<11-20>方向に沿ってすなわち下地半導体層2の配置面に沿う方向に横方向に選択的成長がなされる。この成長を持続させることによって相対するファセット1からの成長が突き当たって、溝10内が埋め込まれるが、この成長を更に持続すると下地半導体層2の配置面に対し交叉し、この配置面とほぼ垂直方向へと成長がなされて、下地半導体層2を全体的に覆ってGaNによる表面が平坦化された選択成長埋込み半導体層3が成長形成される。このときの気相成長は、例えば、基板温度を1050°Cとし、原料ガスとしてアンモニアガスとトリメチルガリウムガスを用いる。具体的には、例えば、1.0リットル/分という多めの流量でアンモニアガスを流しながら、成長速度が毎時4μm程度となるようにトリメチルガリウムガスを供給し、常圧下において反応させる。

【0044】このようにして、図10Bに示すように、溝10内をきれいに埋め込んで表面が平坦化された選択成長埋込み半導体層3を形成する。

【0045】このようにして形成した選択成長埋込み半導体層3を、透過電子顕微鏡によって観察したところ、ファセット1の面で下地半導体層2に存在する転位dが、このファセット1で屈曲することが確認された。したがって、下地半導体層2においてc軸方向にほぼ垂直に貫通する転位dが、エッチングによる溝10の側面による人為的に形成した擬似ファセットによるファセット1で屈曲し、下地半導体層2の配置面、すなわち基板6の板面にはほぼ沿う水平方向に走り、上部には貫通しない。そして、相対するファセット1からそれぞれ成長してその成長が突き当たったところで、相対するファセット1から貫通転位dが会合し、下地半導体層2の配置面と交叉する方向すなわち積層方向に、一部の貫通転位屈

曲して上方に延びて行くことによって選択成長埋込み半導体層3における欠陥密度は、 $1 \times 10^7 / \text{cm}^2$ に減少する。

【0046】したがって、この会合部に、貫通転位が高密度に存在する高欠陥密度領域4が発生するが、これ以外の部分は転位密度が低い、低欠陥密度領域5が形成される。そして、このようにして形成された選択成長埋込み半導体層3は、SiO₂層等の選択成長のマスクを介すことなく、下地半導体層2と直接接していることから基板6とのc軸のずれは1°以下となった。

【0047】このようにして、貫通欠陥密度が低い低欠陥密度領域5が形成されることと、結晶方位のずれも抑制されているために、極めて高品質の選択成長埋込み半導体層3を有する半導体薄膜40を形成することができた。したがって、この半導体薄膜40の低欠陥密度領域5上に半導体素子あるいは半導体装置を構成する半導体素子本体を作り込めば、極めて、高信頼性の半導体素子あるいは半導体装置を構成することができる。

【0048】次に、本発明による半導体薄膜の製造方法の他の例の実施形態の一例を図11および図12を参照して説明する。

【0049】この例においても、例えばC面サファイア基板1を用意し、例えばMOCVD法により、主面6a上に例えば厚さ30nmのGaNよりなるバッファ層2を形成する。このときの基板温度は例えば520°Cとし、原料ガスはトリメチルガリウムガス((CH₃)₃Ga)とアンモニアガス(NH₃)を用いる。次いで、バッファ層7の上に、例えばMOCVD法により、同様にしてGaNよりなる下地層12を基板温度例えば1050°Cで2μmの厚さに平坦に形成する。

【0050】バッファ層7は、低温で成長させた非晶質に近い結晶層よりも、下地層12を成長させる際の核となるものである。この下地層12は結晶よりも、積層方向に延びる貫通転位dが 1×10^9 個/ cm^2 程度有している。

【0051】この平坦下地層12上に、ファセットが配列された下地半導体層を形成するために、図11Bに示すように、半導体の選択成長を行う例えばSiO₂による選択成長マスク13を、厚さ例えば5μmで、<11-20>方向に延びるストライプ状をなし、<1-100>方向に12μmのピッチ、例えば幅5μm、間隔7μmをもって平行配列されたパターンに形成する。この選択成長マスク13の形成は、例えばCVD法により、基板温度例えば450°CでSiO₂層を全面的に形成し、フォトリソグラフィによるパターンエッチング、すなわちフォトレジストの塗布、パターン露光、現像によってパターン化されたフォトレジスト層をエッチングマスクとするパターンエッチングを行うことによってストライプ状の開口13wを形成することによって上述したパターンに形成することができる。

【0052】その後、アセトン (CH_3COCH_3) とメタノール (CH_3OH) により洗浄を行い、更に、希釈した塩酸 (HCl) または希釈したフッ酸 (HF) に10秒間程度浸した後、純水により洗浄を行う。更に、フッ酸 (HF) に十分に浸し、選択成長マスク 13 の開口 13w を通じて外部に露呈する下地層 12 の表面に残っている SiO_2 を完全に除去した後、さらに純水により洗浄を行う。

【0053】その後、選択成長マスク 13 をマスクに、その開口 13w を通じて外部に露呈した下地層 12 上に、例えば MOCVD 法により、GaN よりなる高品質な下地半導体層 2 を、マスク 13 上に覆いかぶさる直前まで成長させて、成長表面に周期的な 3 角形状の <11-20> 方向に延びるストライプ 11 が配列形成され、各ストライプ 11 の両側面に {1-101} による C 面に対してすなわち下地半導体層 2 の配置面に対して約 69° の傾斜を有するファセット 1 が形成された下地半導体層 2 を形成する。この場合の MOCVD は、例えば、基板温度 1050°C とし、原料ガスにはアンモニアガスとトリメチルガリウムガスを用いて行う。具体的には、例えば、10 リットル/分という多めの流量でアンモニアガスを流しながら、成長速度が $4 \mu\text{m}/\text{時}$ 程度となるようにトリメチルガリウムガスを供給し、常圧下において反応させる。

【0054】続いて、フッ酸 (HF) に十分に浸すことによって、選択成長マスク 13 を完全にエッチング除去する。その後、アセトン (CH_3COCH_3) とメタノール (CH_3OH) により洗浄を行い、更に、希釈した塩酸 (HCl) または希釈したフッ酸 (HF) に10秒間程度浸したのち、純水により洗浄を行う。

【0055】その後、このファセット 1 が配列形成された下地半導体層 2 上に選択的に、例えば MOCVD 法により、高品質の GaN による選択成長埋込み半導体層 3 を成長させる。この成長は、例えば、基板 1 の温度は 1050°C とし、原料ガスにはアンモニアガスとトリメチルガリウムガスを用いる。具体的には、例えば、10 リットル/分と多めの流量でアンモニアガスを流しながら、成長速度が $4 \mu\text{m}/\text{時}$ 程度となるようにトリメチルガリウムガスを供給し、常圧下において反応させる。このようにすると、ファセット 1 から横方向、すなわち下地半導体層 2 の配列面に沿う <11-20> 方向に沿う選択的成長がなされる。この成長を持続させることによって相対するファセット 1 からの成長が突き当たって、ストライプ 11 間の溝 10 内が埋め込まれるが、この成長を更に持続すると配置面垂直方向へと成長がなされて、図 12B に示すように、下地半導体層 2 を全体的に覆つて GaN による表面が平坦化された選択成長埋込み半導体層 3 が成長形成される。

【0056】この場合においても、透過電子顕微鏡による観察によると、この選択成長によって形成したファセ

ット 1 に関しても、ファセット 1 で貫通転位 d の屈曲が起こることが確認された。すなわち、下地層 12 において c 軸方向にほぼ垂直に貫通する転位は、ファセット 1 で屈曲し、下地半導体層 2 の配置面すなわち基板 1 とぼ水平方向に沿って走り、上部には貫通しない。すなわち、図 10B で説明したと同様に、相対するファセット 1 からそれぞれ成長してその成長が突き当たったところで、相対するファセット 1 からの転位 d が会合し、下地半導体層 2 の配置面と交叉する方向すなわち積層方向に、一部の転位が屈曲して上方に延びて行く。ことによって選択成長埋込み半導体層 3 における欠陥密度は、 $1 \times 10^7 / \text{cm}^2$ に減少する。

【0057】したがって、この会合部に、貫通転位が高密度に存在する高欠陥密度領域 4 が発生するが、これ以外の部分は転位密度が低い、低欠陥密度領域 5 が形成される。そして、このようにして形成された選択成長埋込み半導体層 3 は、 SiO_2 層等の選択成長のマスクを介すことなく、下地層 12 と直接接していることから基板 6 との c 軸のずれは 1° 以下となった。

【0058】このようにして、貫通欠陥密度が低い低欠陥密度領域 5 が形成されることと、結晶方位のずれも抑制されているために、極めて高品質の選択成長埋込み半導体層 3 を有する半導体薄膜 40 を形成することができた。したがって、この半導体薄膜 40 の低欠陥密度領域 5 上に半導体素子あるいは半導体装置を構成する半導体素子本体を作り込めば、極めて、高信頼性の半導体素子あるいは半導体装置を構成することができる。

【0059】本発明による半導体素子は、例えば前述した図 1～図 8 で示した構成による半導体薄膜 40 によって構成することができる。本発明による半導体素子の一実施形態は、図 13 にその一例の概略断面図を示すように、半導体発光素子を構成することができる。この例においては、SCH (Separate Confinement Heterostructure) 型半導体レーザーを構成した場合である。また、この例においては図 2 に示した半導体薄膜 40 上に半導体レーザ素子本体を形成した構成、もしくは図 6 に示した半導体薄膜 40 における半導体層 8 において、半導体レーザ素子を構成した場合である。

【0060】図 13 において、図 2 および図 6 に対応する部分には、同一符号を付して重複説明を省略するが、この例においては、選択成長埋込み半導体層 3 上に、それぞれ第 1 導電型例えば n 型の第 1 のコンタクト層 21、第 1 のクラッド層 22、第 1 のガイド層 23 とを順次エピタキシャル成長し、この上に活性層 24、劣化防止層 25、更にそれぞれ第 2 導電型の第 2 のガイド層 26、第 2 のクラッド層 27、コンタクト層 28 が順次積層されて成る。

【0061】コンタクト層 28 上には、例えば SiO_2 による絶縁層 29 が形成される。そして、これらエピタキシャル成長の一部に、絶縁層 29 側から第 1 のコンタ

クト層21を露呈する位置までエッチング溝を形成し、この第1のコンタクト層21の露呈部に第1の電極31をオーミックに被着する。また、絶縁層29に図13において紙面と直交する方向に、すなわちファセット1のストライプ11の延長方向に沿って延びるストライプ状の開口29wを通じて、すなわちこの開口29wに沿つてストライプ状の第2のコンタクト層28にオーミックコンタクトされた第2の電極32を形成する。

【0062】この半導体素子、この例では半導体レーザー素子の本発明による製造方法の一例としては、例えば図9および図10で説明したと同様の方法によって、基板6上にバッファ層7を介してファセット1が配列された下地半導体層2、選択成長埋込み半導体層3を形成し、その平坦表面上に、例えば厚さ2μmのn型不純物のSiが添加したn型GaN層による第1のコンタクト層21、例えば厚さ0.5μmのSiを添加したn型AlGaN混晶による第1のクラッド層22、例えば厚さ0.1μmのSiが添加されたn型GaNによ第1のガイド層23が順次エピタキシャル成長される。続いて、例えば厚さ3nmの量子井戸層と、厚さ4nmのバリア層の厚さが4nmのGaN/N混晶の多重量子井戸構造による活性層24がエピタキシャル成長される。更に続いて例えば厚さ20nmのAlGaNによる劣化防止層25がエピタキシャル成長され、この上に、それぞれp型の不純物のMgを添加したp型の例えば厚さ0.1μmのGaNによる第2のガイド層26、例えば厚さ0.5μmのp型AlGaN混晶による第2のクラッド層27、例えば厚さ0.5μmのp型のGaN混晶によるp型の第2のコンタクト層28を順次エピタキシャル成長する。

【0063】上述の各半導体層21～28は、例えば基板温度800～1000℃とし、アルミニウムの原料ガスとしてはトリメチルアルミニウムガス((CH₃)₃Al)、ガリウムの原料としてはトリメチルガリウムガス(SiH₄)、マグネシウムの原料ガスとしてはビス=メチルシンクロペンタジエニルマグネシウムガス(MeCp₂Mg)やビス=シンクロペンタジエニルマグネシウムガス(Cp₂Mg)をそれぞれ用いることができる。

【0064】また、絶縁層29は、例えばCVD法により形成し、この絶縁層29にストライプ状の開口29wを例えばフォトリソグラフィによるパターンエッチングによって形成する。この開口29wを通じてコンタクト層28に第2の電極32をオーミックに形成するものであるが、この電極32の形成は、例えばリフトオフ法によって形成することができる。この場合は、電極の形成部以外に例えばフォトレジスト層をフォトリソグラフィによって形成し、その後、全面的に例えばNiおよびAuを順次蒸着し、その後、レジスト層を除去することによってこのレジスト層上に蒸着されたNiおよびAuを

取り去ることによって、すなわちリフトオフして第2の電極32を形成する。

【0065】その後、第1の電極31の形成部において、絶縁層29、コンタクト層28、第2のクラッド層27、第2のガイド層26、劣化防止層25、活性層24、第1のガイド層23および第1のクラッド層22を順次選択的に除去する。その後、n型コンタクト層21上に、Ti、AlおよびAuを選択的に順次蒸着して第1の電極21を形成する。

【0066】上述のエピタキシャル成長半導体層21～28は前述したように選択成長埋込み半導体層3における貫通転位の密度が極めて低いことから、その貫通転位の密度が極めて低く、特に図2および図6における低欠陥密度領域5上に相当する部分において低欠陥密度領域が形成されることから、低欠陥密度領域上に相当する位置、すなわちほぼストライプ11の上方にレーザ共振器が構成されるようにする。

【0067】すなわち、上述の構成による場合、ストライプ状開口29wを通じて、第2の電極32が、コンタクト層28へのコンタクト部下において、活性層24に限定的に電流の注入領域が形成され、ここにレーザ共振器が構成されることから、ストライプ11の上方に、第2の電極32のコンタクト部、すなわち絶縁層29の開口29wを形成する。

【0068】そして、電極31および32を形成して後、共振器長を所定長に設定するように、例えば劈開によって切断し、この切断面において共振器端面を形成する鏡面を形成する。

【0069】この構成による半導体レーザーにおいて、第1および第2電極31および32間に順方向の通電を行うことによって活性層24に電流が流入され、電子-正孔再結合により発光が起こる。

【0070】この構成による半導体発光素子、すなわち半導体レーザの少なくとも動作部は、貫通転位の密度が低い領域に形成され、しかも結晶方位のずれが回避されることによって、しきい値電流の低減化、駆動電圧の低減化、これに伴う特性劣化の緩和、したがって長寿命化を図ることができる。

【0071】図14は、本発明による半導体素子、この例では半導体レーザーの他の実施形態の一例の概略断面図で、この例では、図3および図7に示した本発明による半導体薄膜40に半導体レーザーを形成した場合で、この例においても、SCH構造による半導体レーザを構成した場合である。

【0072】この場合、半導体薄膜40の製造方法は、例えば図11および図12で説明した方法を探ることができ、また半導体レーザ本体およびその製造方法は、図13で説明したと同様の構成および製造方法を探することができます。

【0073】図14において、図3、図7および図13

と対応する部分には同一符号を付して重複説明を省略する。

【0074】この例においても、図13による半導体レーザーと同様に、少なくとも動作部は、貫通軸位の密度が低い領域に形成され、しかも結晶方位のずれが回避されることによって、しきい値電流の低減化、駆動電圧の低減化、これに伴う特性劣化の緩和、したがって長寿命化を図ることができる。

【0075】尚、本発明は、上述した例に限定されるものではなく、種々の変形が可能である。例えば、図11における選択成長によってストライプ11、すなわちファセット1を形成するにあたり、そのストライプ11の延長方向は、<1-100>の方向を選定して、{11-22}によるC面に対してすなわち下地半導体層2の配置面に対して約58°の傾斜を有するファセット1を形成することもできるなど、ファセット1の延長方向、したがって高欠陥密度領域4および低欠陥密度領域5の延長方向を種々の結晶軸方向に選定することができる。

【0076】また、例えば、図13および図14において、各半導体層21～28の導電型が、上述とは逆の導電型とするとか、その組成も上述の例に限られるものではなく、他の適宜な半導体により構成する場合にも適用することができる。しかしながら、この場合において、半導体層としてはIII族ナイトライド化合物半導体、すなわち、Al、Ga、BおよびInからなる群より選ばれた少なくとも1種のIII族元素と、N(窒素)とを含むIII族ナイトライド化合物半導体)により各層をそれぞれ構成する場合において、特に有効である。

【0077】また、上述した例では、SCH構造、すなわち活性層24を挟んで第1および第2の第1のガイド層23および26が配置された構造とした場合であるが、ガイド層が配置されないDH(Double Hetero)等各種の構成による半導体レーザー、あるいは発光ダイオード等の発光素子を構成することができる。

【0078】また、本発明による半導体素子は、半導体発光素子に限られるものではなく、他の各種半導体素子、例えばFET(Field Effect Transistor; 電界効果トランジスタ)などの半導体素子を構成することができる。

【0079】また、本発明による半導体装置は、上述した半導体素子を有する単体半導体装置、あるいは複数の半導体素子を、共通の本発明による半導体薄膜上に形成した集積回路装置とすることができる。この場合においては、図1～図8で説明した各半導体薄膜を、図9～図12で説明した方法によって作製し、更に例えば図13あるいは図14で説明した構造および方法によって半導体発光素子を形成するとか、その他の半導体素子を形成することによって得ることができる。

【0080】この場合においても、特性にすぐれた半導体素子による半導体装置を構成することができる。

【0081】尚、例えば半導体集積回路装置を構成する場合は、共通の半導体薄膜40においてファセット1の配列、したがって、低欠陥密度領域5の配置間隔は等間隔に形成するに限られるものではない。

【0082】加えてまた、上記各実施の形態においては、各半導体層は、MOCVD法、ハライド気相成長法により成長させる場合について説明したが、分子線エピタキシー(Molecular Beam Epitaxy; MBE)法などの他の気相成長法により成長させることもできる。例えば半導体層21～28の形成をMBE法やハライド法などの他の気相成長法により形成することもできる。

【0083】

【発明の効果】上述したように、本発明による半導体薄膜、半導体素子、半導体装置およびこれらの製造方法においては、貫通軸位が、選択成長埋込み半導体層3において、ファセット1で屈曲し、更に相対するファセット1から成長するエピタキシャル成長に伴う貫通欠陥の会合部で屈曲するという構造をとったことにより、半導体素子本体の少なくとも動作部の形成部における欠陥密度を格段に減少させることができること、また、SiO₂等の選択成長のマスクを介在させることなく選択成長埋込み半導体層3の成膜を行うことから結晶方位のずれを0.1°以下に抑制することができることによって、高品質の半導体薄膜、したがって特性にすぐれ、信頼性が高く、長寿命化がはかられた半導体素子、半導体装置を構成することができる。

【図面の簡単な説明】

【図1】本発明による半導体薄膜の一実施形態の一例の概略断面図である。

【図2】本発明による半導体薄膜の他の実施形態の一例の概略断面図である。

【図3】本発明による半導体薄膜の他の実施形態の一例の概略断面図である。

【図4】本発明による半導体薄膜の他の実施形態の一例の概略断面図である。

【図5】本発明による半導体薄膜の他の実施形態の一例の概略断面図である。

【図6】本発明による半導体薄膜の他の実施形態の一例の概略断面図である。

【図7】本発明による半導体薄膜の他の実施形態の一例の概略断面図である。

【図8】本発明による半導体薄膜の他の実施形態の一例の概略断面図である。

【図9】A～Cは、本発明による半導体薄膜の製造方法の一の実施形態の一例の工程図(その1)である。

【図10】AおよびBは、本発明による半導体薄膜の製造方法の一の実施形態の一例の工程図(その2)である。

【図11】A～Cは、本発明による半導体薄膜の製造方法の一例の工程図(その1)である。

【図12】AおよびBは、本発明による半導体薄膜の製造方法の一例の工程図(その2)である。

【図13】本発明による半導体発光素子の一例の概略断面図である。

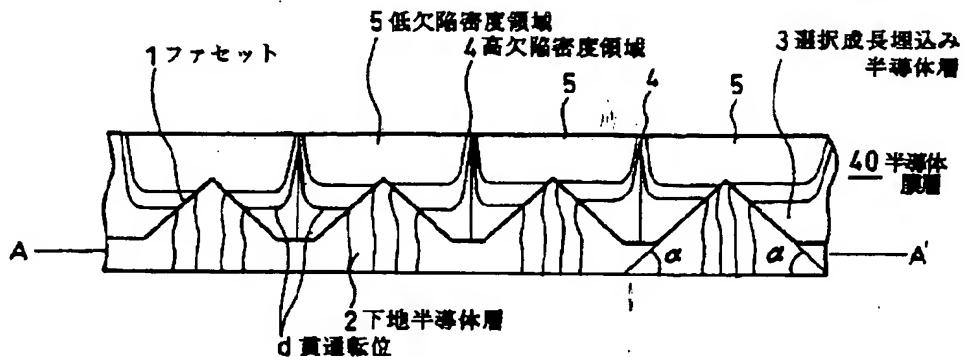
【図14】本発明による半導体発光素子の他の例の概略断面図である。

【符号の説明】

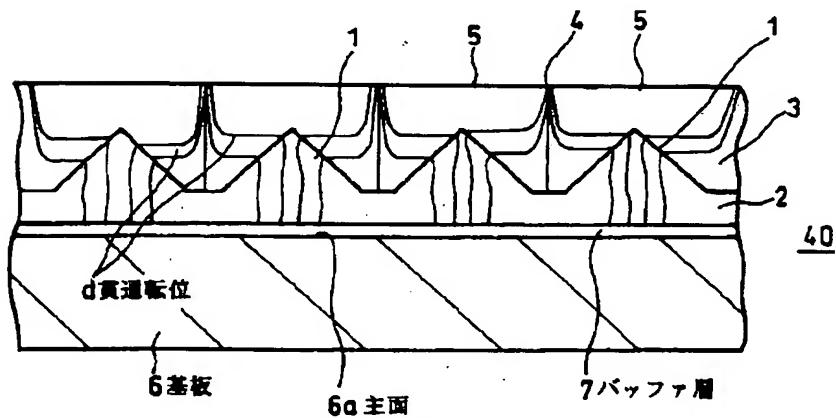
1・・・ファセット、2・・・下地半導体層、3・・・選択成長埋込み半導体層、4・・・高欠陥密度領域、5・・・低欠陥密度領域、6・・・基板、7・・・*10 貫通転位、

*バッファ層、8・・・化合物半導体層、9・・・マスク、9w・・・開口、10・・・溝、11・・・ストライプ、12・・・下地層、13・・・選択成長マスク、21・・・第1のコンタクト層、22・・・第1のクラッド層、23・・・第1のガイド層、24・・・活性層、25・・・劣化防止層、26・・・第2のガイド層、27・・・第2のクラッド層、28・・・第2のコンタクト層、29・・・絶縁層、29w・・・開口、31・・・第1の電極、32・・・第2の電極、d・・・貫通転位、

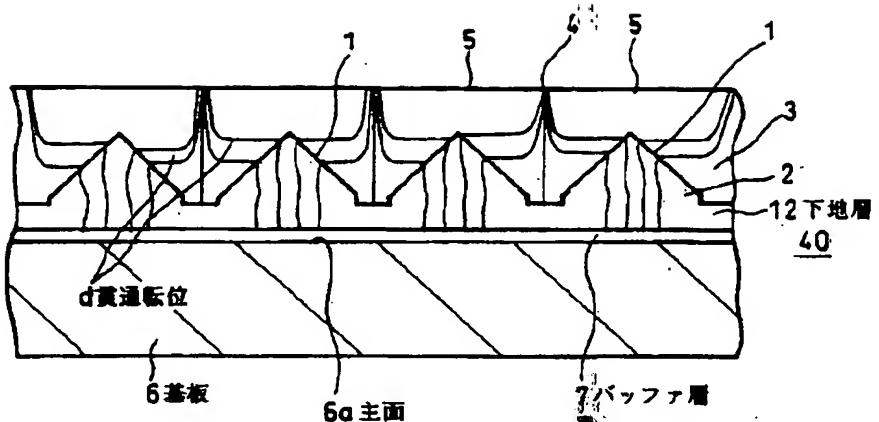
【図1】



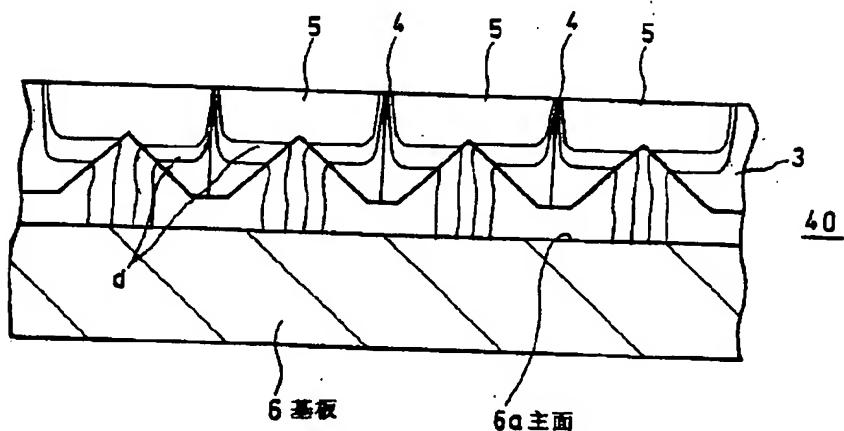
【図2】



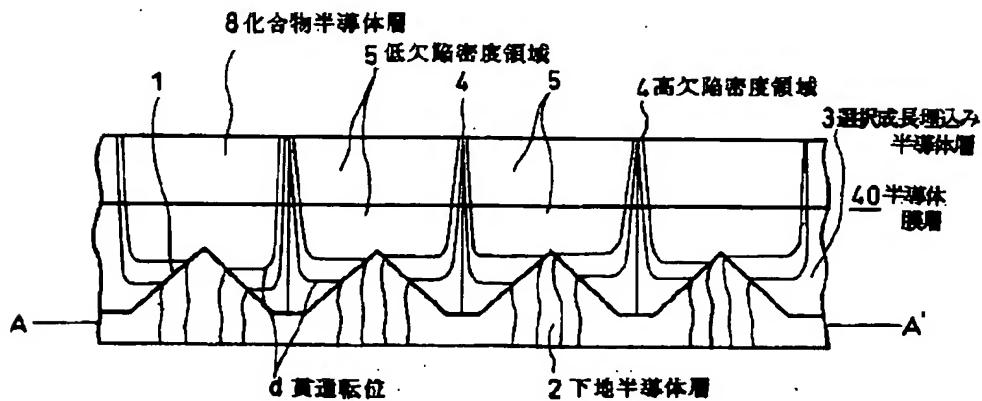
【図3】



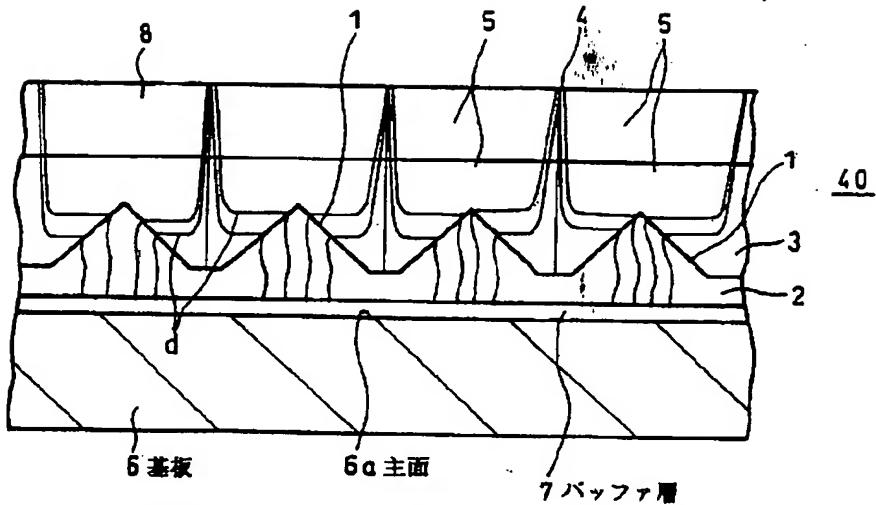
〔图4〕



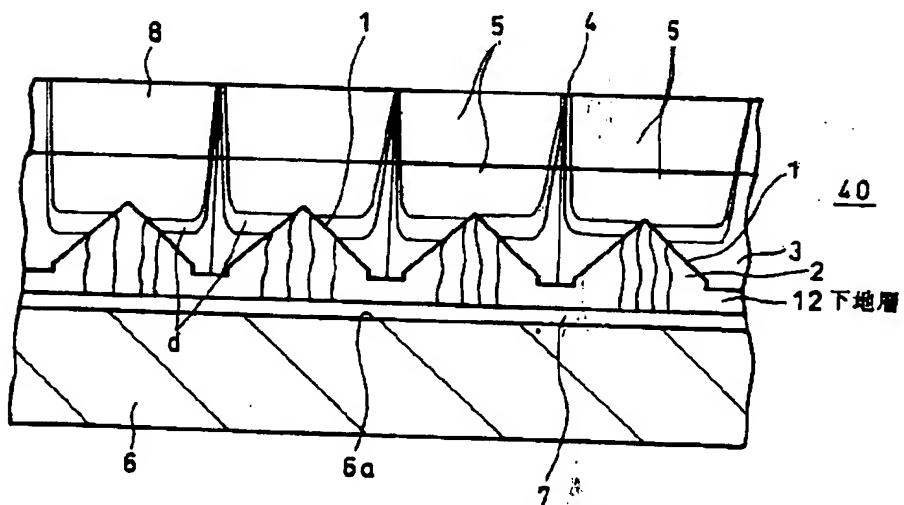
(图 5)



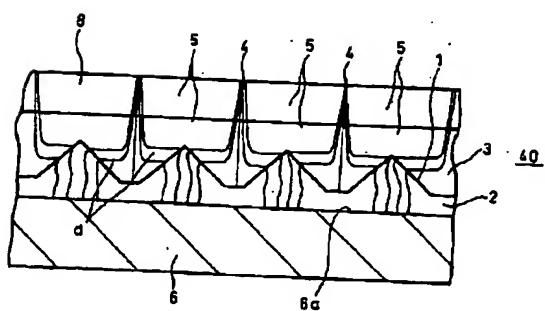
【図6】



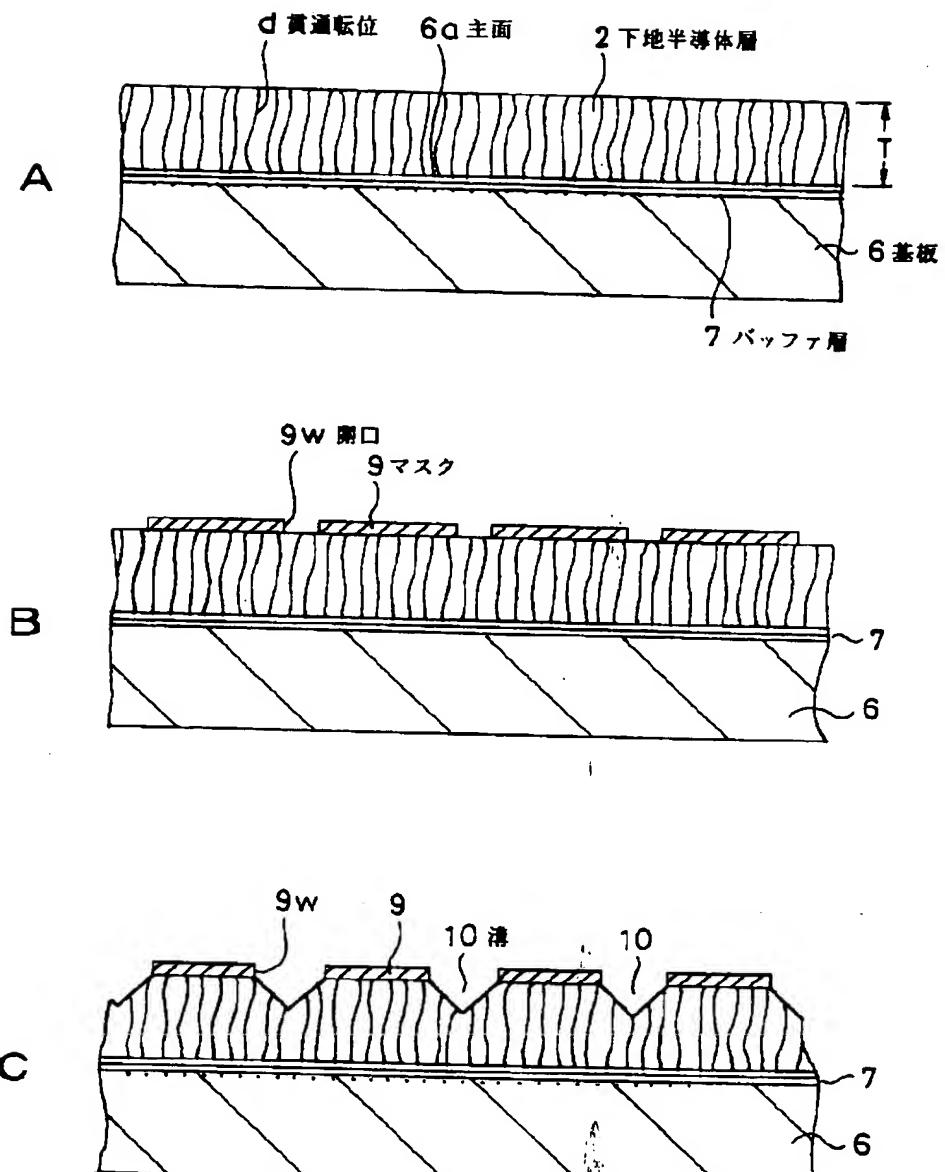
【図7】



【図8】

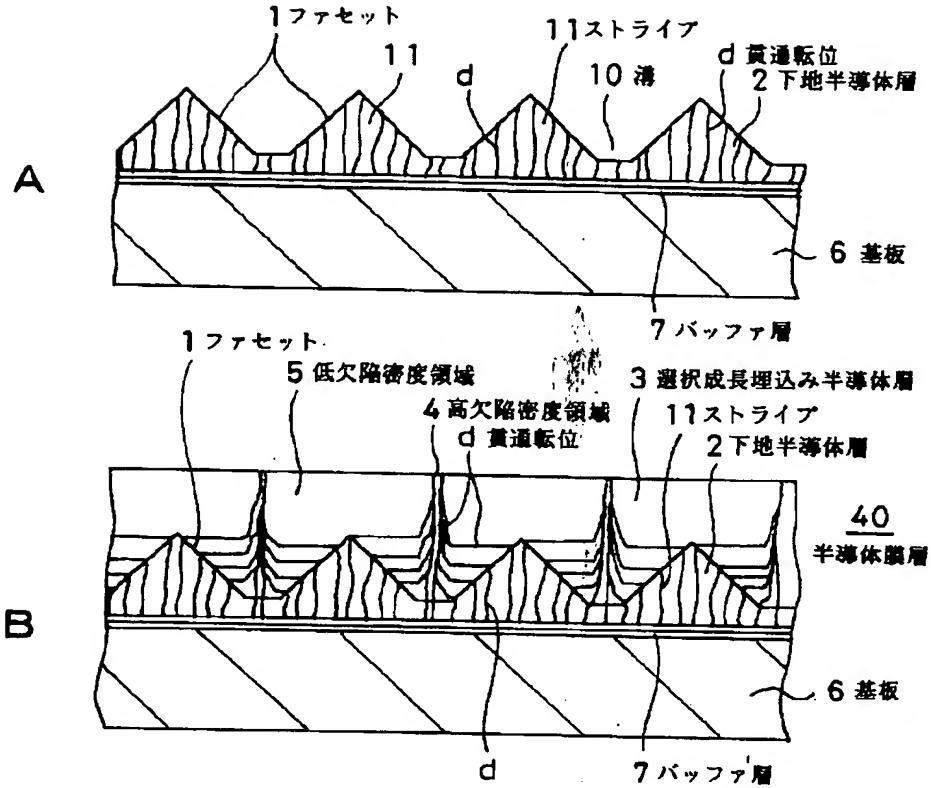


【図9】



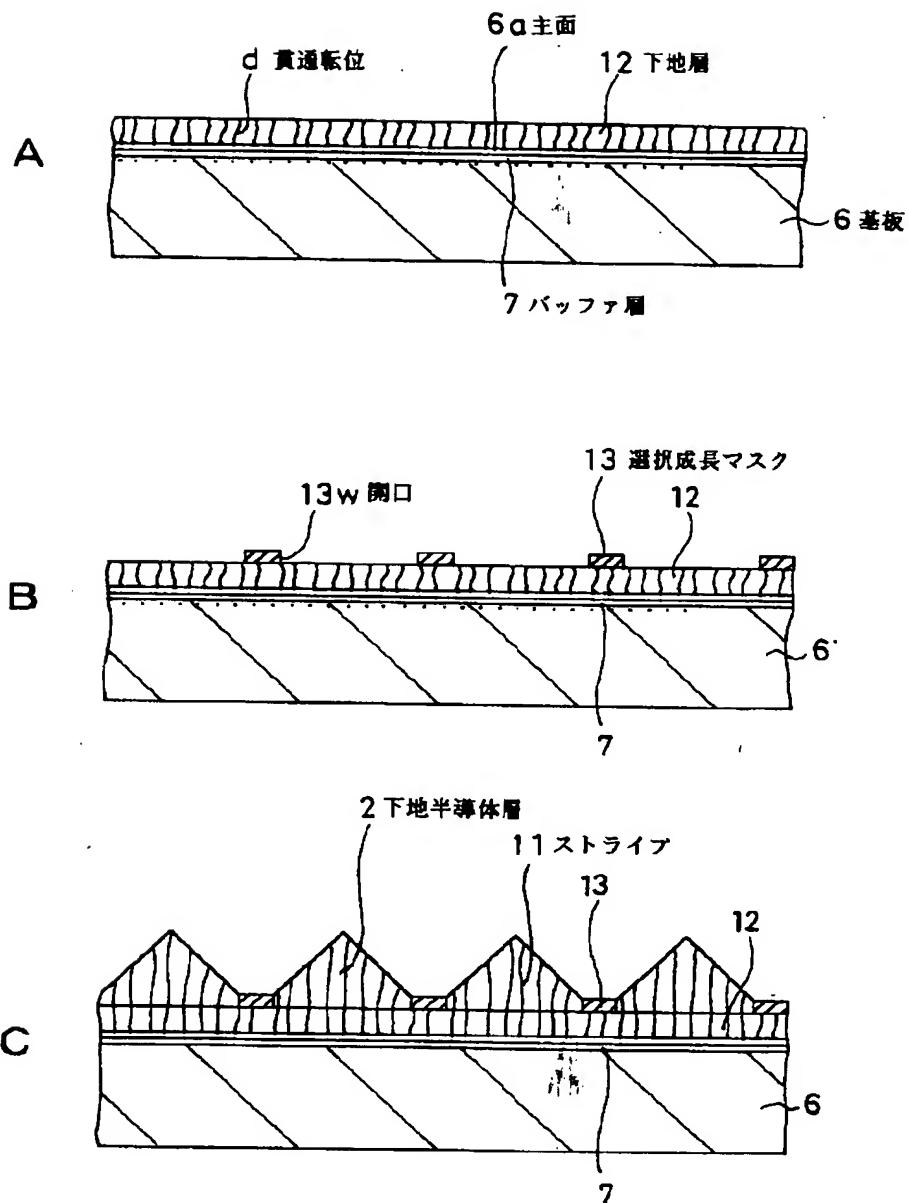
製造方法の一例の工程図(その1)

【図10】



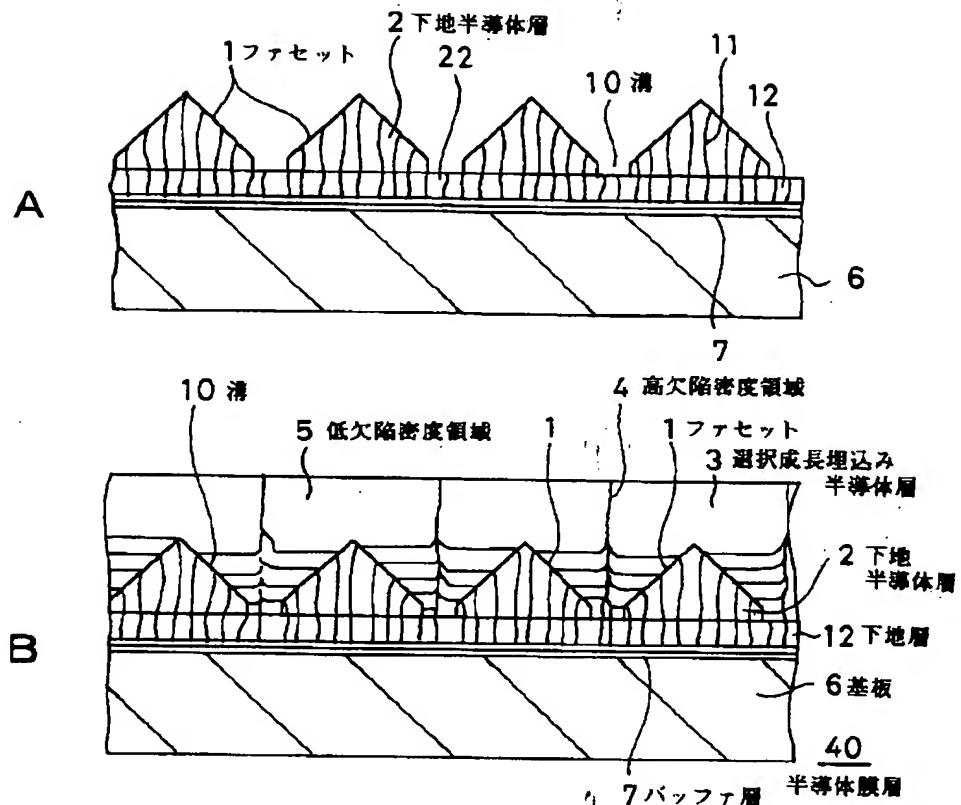
製造方法の一例の工程図(その2)

【図11】



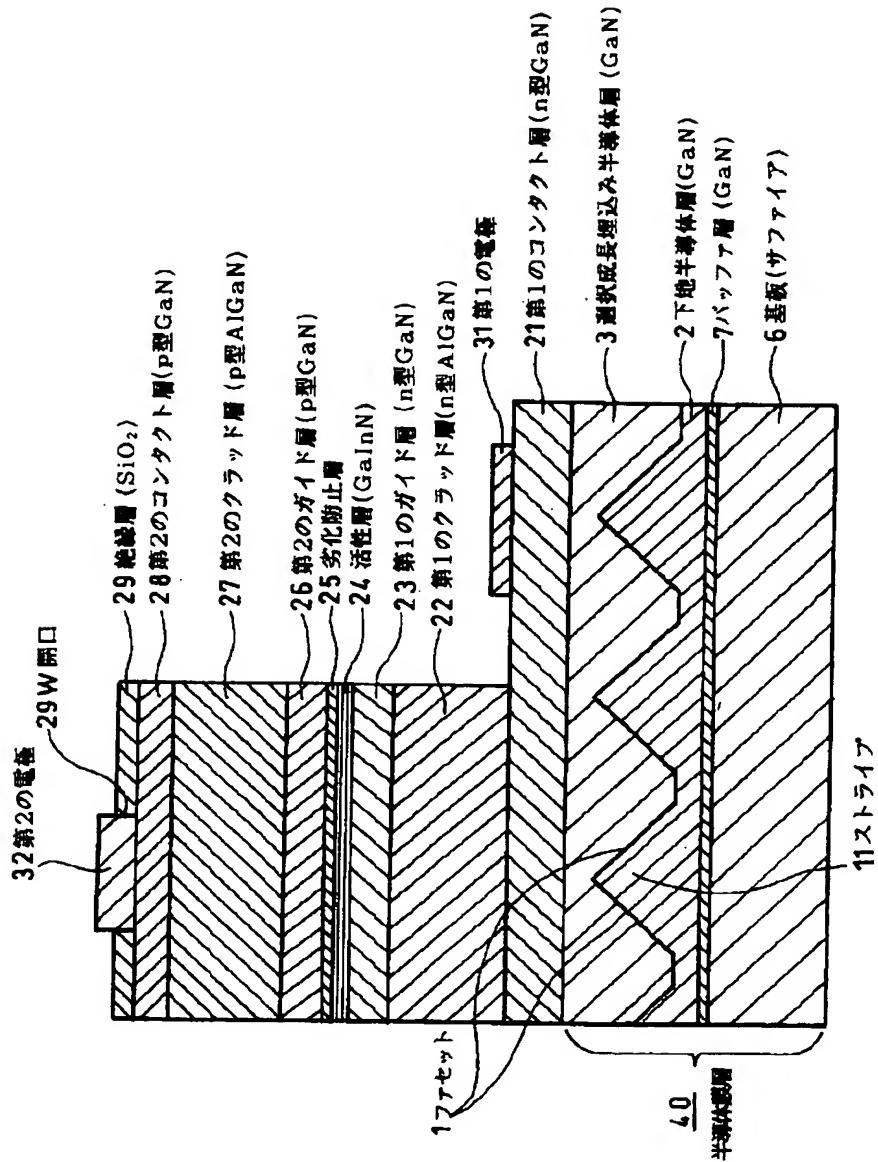
製造方法の他の例の工程図(その1)

【図12】

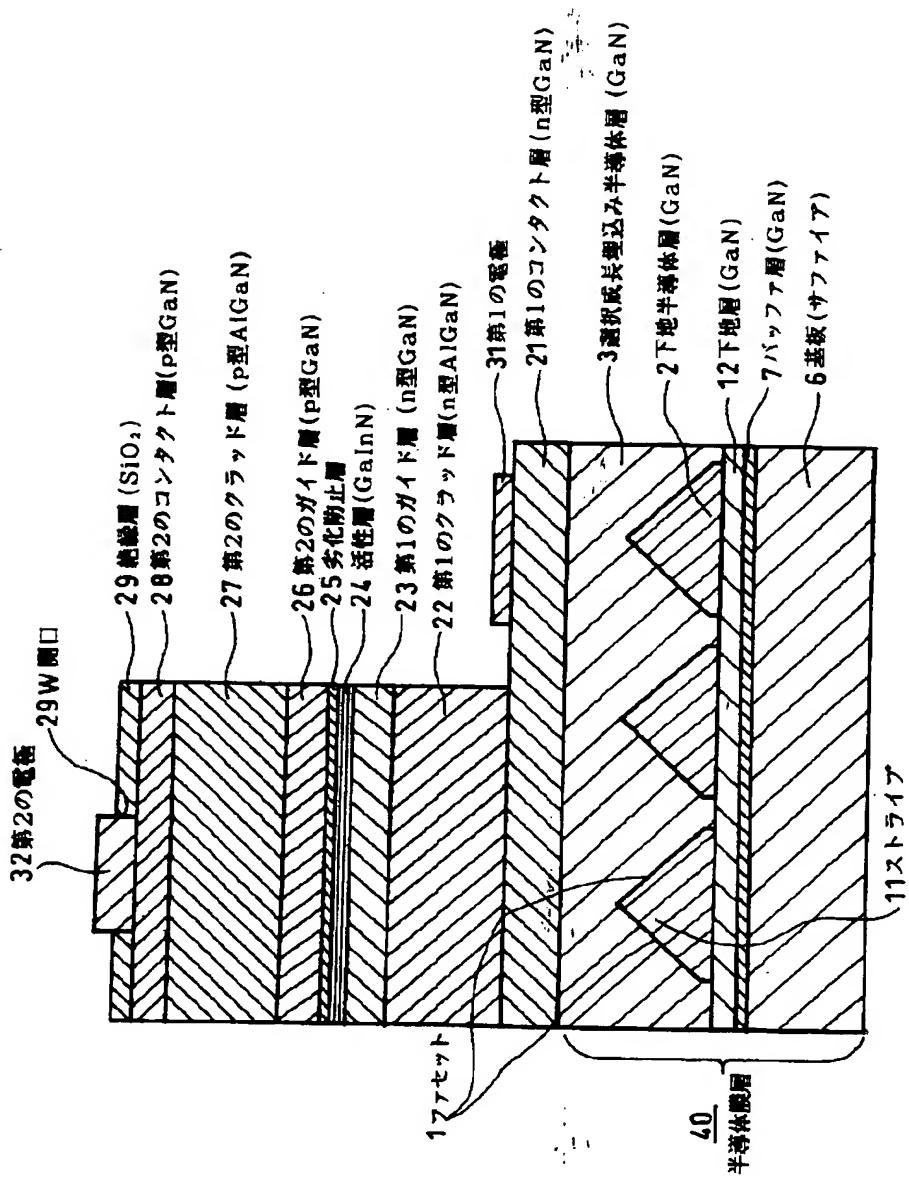


製造方法の他の例の工程図(その2)

【図13】



【図14】



フロントページの続き

F ターム(参考) 5F041 AA40 AA43 CA04 CA05 CA33
 CA40 CA46 CA65 CA74 CA75
 5F073 AA51 AA54 AA74 CA07 CB04
 CB05 CB07 DA05 DA25 DA35
 EA28 EA29